

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102491

(43)Date of publication of application : 16.04.1996

(51)Int.Cl. H01L 21/82
G06F 15/78
H01L 27/04
H01L 21/822

(21)Application number : 06-236447

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.09.1994

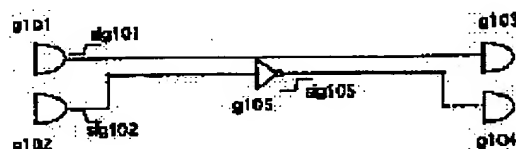
(72)Inventor : SASAKI TETSUO
HIYAMA TORU
SUZUKI KATSUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent variations of a signal propagation delay period of a parallel signal wires while a necessary wire channel is as is by a method wherein an inverter reversing a logic value of a signal is provided in a specific location of the parallel signal wires as an allay amplifier every other one of the plurality of parallel signal wires.

CONSTITUTION: In a signal wire from a gate g101 to g103 and a signal wire from a gate g102 to g104 in a semiconductor integrated circuit, even when a signal from the gate g102 to g104 is in any states, an inverter g105 is inserted into an intermediate point of a wiring path from the gate g102 to g104 in order to set parallel wiring capacitance between the parallel wires to be a specific value. Regarding the parallel wiring capacitance between the parallel wires, a signal potential of the signal wiring from the gate g102 to g104 is substantially the same as the parallel wiring capacitance in an unchange state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102491

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/78	5 1 0 G			
H 0 1 L 27/04				

H 0 1 L 21/ 82

W

C

審査請求 未請求 請求項の数 1 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-236447

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐々木 哲雄

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 桧山 徹

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 鈴木 勝喜

神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

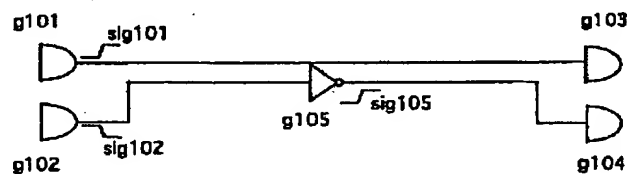
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 必要となる配線チャネルをそのまま、パラレル信号配線の信号伝播遅延時間のばらつきを防止すること。

【構成】 複数の論理信号線が平行に配置されたパラレル信号配線を有する半導体集積回路において、前記複数のパラレル信号配線の一本置きごとに、信号の論理値を反転するインバータを中継アンプとして、そのパラレル信号配線の所定位置に設ける。

図 1



【特許請求の範囲】

【請求項1】 複数の論理信号線がバラレルに配置されたバラレル信号配線を有する半導体集積回路において、前記複数のバラレル信号配線の一本置きごとに、信号の論理値を反転するインバータを中継アンプとして、そのバラレル信号配線の所定位置に設けたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関し、特に、ディレイ（信号伝播遅延時間）を考慮して設計する論理生成技術、配置技術、配線技術を必要とする半導体集積回路に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来の半導体集積回路におけるディレイを考慮した配線方法としては、例えば特開平04-151853号公報に記載されている配線方法が知られている。これは、半導体集積回路の自動配線処理後にディレイ計算を行い、ディレイ違反となった配線について、バラレル配線を取り除くことにより、バラレル配線との間の負荷容量によるディレイを短縮するものであった。

【0003】

【発明が解決しようとする課題】 本発明者は、上記従来技術を検討した結果、以下の問題点を見いだした。

【0004】 上記従来技術は、バス配線のように多数の信号線の始点となるゲートと終点となるゲートがそれぞれ近くに配置され、しかも長距離転送となっているような場合は、それらの多くの配線が同時にクリティカルパスとなってバラレル信号配線の径路を変更する際に、径路を変更する配線の物量が多く配線径路が見つからず変更が不可能な場合や、またあらかじめバラレル配線を禁止して隣接配線チャネルを空けると配線チャネルは2倍必要となって他の配線ができなくなるという問題がある。

【0005】 また、バラレル信号配線で特に問題となるのは、隣接信号線の信号状態によってバラレル配線容量が変動し、信号伝播遅延時間がばらつくという点である。

【0006】 例えば、2つのバラレル信号配線間の信号の電位が同時にハイ（Hi）に切り替わるとすると、両配線間のバラレル配線容量はほとんど0となり、一方がロー（Low）からHiへ、他方がHiからLowへ同時に切り替わったとすると両配線間のバラレル配線容量は、最大（信号の電位変化がない、すなわち、LowまたはHiの固定の信号配線から影響を受けるバラレル配線容量のほぼ倍）となる。

【0007】 この他方側の信号の電位及び切り替わるタイミングは特殊な場合を除いて不確定となり、バラレル配線容量が変化するので、転送経路の信号伝播遅延時間

はばらつくことになり、このばらつきは平行配線距離が長ければ長いほど大きくなる。

【0008】 このような信号配線について、ばらつきを減らすためにはバラレル信号配線を無くして信号配線間を空ければ良いが、長距離配線のため配線物量がもともと多くそれに対してさらに倍の配線チャネルを確保しなければならないという問題点があった。

【0009】 本発明の目的は、必要となる配線チャネルをそのまま、バラレル信号配線の信号伝播遅延時間のばらつきを防止することが可能な技術を提供することにある。

【0010】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】 複数の論理信号線がバラレルに配置されたバラレル信号配線を有する半導体集積回路において、前記複数のバラレル信号配線の一本置きごとに、信号の論理値を反転するインバータを中継アンプとして、そのバラレル信号配線の所定位置に設ける。

【0013】

【作用】 上述した手段によれば、複数（例えば、2本）の論理信号線がバラレルに配置されたバラレル信号配線を有する半導体集積回路において、2つのバラレル信号配線の一方の中間にインバータを挿入することにより、両者信号配線の信号の電位が同時にHiに切り替わる場合を取り挙げてみると、インバータの挿入位置前のバラレル信号配線間のバラレル配線容量はほとんど0となり、インバータの挿入位置後のバラレル信号配線間のバラレル配線容量は電位変化が逆になり、信号の電位変化がない、すなわち、LowまたはHiの固定の信号配線から影響を受けるバラレル配線容量のほぼ倍になる。

【0014】 従って、インバータの挿入位置前後のバラレル信号配線のバラレル配線容量の合計（バラレル信号配線におけるバラレル配線容量）は、信号の電位変化がない、すなわち、LowまたはHiの固定の信号配線から影響を受けるバラレル配線容量と等しいとみなすことができるので、そのバラレル配線容量で設計することで、必要となる配線チャネルをそのまま、バラレル信号配線の信号伝播遅延時間のばらつきを防止することが可能となる。

【0015】 以下、本発明の構成について、実施例とともに説明する。

【0016】 なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】

【実施例】図1は、本発明の一実施例である半導体集積回路における2本の平行信号配線を示した図である。

【0018】図1において、g101, g102, g103, g104はゲート、sig101, sig102, sig105は信号、g105はインバータをそれぞれ示す。

【0019】本実施例の半導体集積回路におけるゲートg101からg103への信号配線とゲートg102からg104への信号配線において、ゲートg102からg104への信号がどのような状態であっても、平行配線間の平行配線容量を一定値にするためにゲートg102からg104への配線経路の中間点にインバータg105を挿入してある。

【0020】ここで、図1に示すように、ゲートg101からの信号がLowからHiに切り替わり(sig101)、ゲートg102からの信号HiからLowに切り替わる(sig102)とすると、インバータg105挿入位置前の平行配線容量は、信号の電位変化なしのとき(LowまたはHiの固定の信号配線から影響を受ける平行配線容量)のおよそ倍であり、インバータg105挿入位置後の平行配線容量は、インバータg105により信号電位が反転されるため、0となる。

【0021】このため、インバータg105挿入位置前後のsig102及びsig105から影響を受ける平行配線容量の合計、すなわち、平行配線間の平行配線容量は、ゲートg102からg104への信号配線の信号電位が無変化の状態の平行配線容量(LowまたはHiの固定の信号配線から影響を受ける平行配線容量)とほぼ同じになる。

【0022】したがって、ゲートg102からg104への信号配線の信号電位がどのように変化しても、常に一定のLowまたはHiの固定の信号配線から影響を受ける平行配線容量で設計可能になり、平行信号配線の信号伝播遅延時間のばらつきを防止することが可能となる。

【0023】これは、平行信号配線において、インバータ挿入位置後で信号が反転される配線長とインバータを挿入位置前の信号が反転されない配線長を等しくすることで、平行信号配線の信号がどのように変化しても、平行配線容量は、LowまたはHiの固定の信号配線から影響を受ける平行配線容量として等価できるからである。

【0024】次に、図2に示すように、始点ゲートg201~g204と終点ゲートg211~g214がそれぞれ近くに配置されている4本の長距離転送信号配線グループの隣接配線間の平行配線容量を一定値にするように配線する配線方法について説明する。

【0025】本実施例における半導体集積回路の平行

ル信号配線の配線方法は、まず、隣接する平行信号配線の配線順序をL201, L202, L203, L204の順に決定する。

【0026】そして、隣接する信号配線に対して一つ置きにインバータg222とg224を挿入し、その先の配線をそれぞれL222, L224とする。

【0027】また、実際にはインバータのゲート遅延があるので、隣接する信号配線で信号変化のタイミングを同じにするために正極の中継アンプg221とg223をインバータを挿入しない方の信号配線に挿入し、その先の配線をそれぞれL221, L223とする。

【0028】さらに、挿入した中継アンプの前の信号線L201, L202, L203, L204の隣接配線順序と中継アンプの後の信号線L221, L222, L223, L224の隣接配線順序を同じにして同様に配線する。

【0029】これによって、すべての平行配線容量を隣接する信号配線の信号状態にかかわらず同じにすることができる。

【0030】次に、CADシステムを用いて、上記のインバータ或いは正極アンプを自動的に挿入し、さらに、それらの配置及び配線を自動的に行なう場合について、図3~図7を用いて詳細に説明する。

【0031】図3は、そのCADシステムにおける動作を説明するための図である。

【0032】図3において、f301は部品情報ライブラリ、f302A, f302Bは、論理情報ファイル、f303は配線情報ファイルをそれぞれ示す。

【0033】本実施例のCADシステムを用いた自動配線の手順は、図3に示すように、まず、論理情報ファイルf302Aより始点ゲートと終点ゲートの結線情報及び配置情報を入力し、部品情報ライブラリf301よりインバータ及び正極アンプ及び始点ゲートの正極出力ピンと負極出力ピンの情報を入力する。

【0034】入力されたそれらの情報より、長距離配線グループを抽出する(P301)。続いて、平行信号配線の配線順序を決定する(P302)。

【0035】そして、平行信号配線について交互にインバータと正極アンプを挿入する(P303)。その時インバータを奇数個挿入した場合には論理的等価性を保証するために始点ゲートの出力ピンの極性を反転させる。そして、それらの論理変換情報を論理情報ファイルf302Aの情報に更新し、論理情報ファイルf302Bとして出力する。

【0036】このようにして、図4に示すように、ゲートg401, g403間には正極アンプg405を挿入し、ゲートg402, g404間にはインバータg406を挿入して始点ゲートg402の出力ピンの極性を反転させた論理結線情報を自動的に作成する。

【0037】さらに、図4の例のように挿入するゲート

がそれぞれ一つならば、始点ゲートと終点ゲートの中間点に自動配置して、図4のように正極アンプg405、インバータg406を始点ゲート、終点ゲート間がそれぞれ $L/2$ となる位置を自動探索し、配置する(P304)。

【0038】また、図3に示すCADシステムの配線方法において、パラレル信号配線順序が変わると一つ置きにインバータを挿入する効果が無くなるので、常に、配線順序を守って自動的に配線し、その結果を配線情報ファイルf304に出力する(P305)。

【0039】このようにして、図5に示すように、L501からL504とL511からL514の配線順序を守り、互いに隣接する配線として自動配線する。

【0040】さらに、図3のCADシステムの中継アンプ挿入処理(P303)において、挿入する中継アンプがそれぞれ複数個となる場合は、p304において始点ゲートから終点ゲートまでの途中の信号線の論理値を認識して、転送元の信号と同じ論理値をもつ信号線の配線長の合計と、インバータにより論理値を反転させている信号線の配線長との合計が同じになるようにそれぞれのの中継アンプを自動配置する。

【0041】例えば、図7のように、始点ゲートから終点ゲートまでの転送距離をLとすると、まずインバータによって論理値が反転されるL712の配線長とそうでないL702とL722の配線長合計が等しくなるようにインバータg712とg722の配置位置を決定する。

【0042】つまり、L712の配線長を $L/2$ とし、L702の配線長を L' とするとL722の配線長を $(L/2 - L')$ とする。同様にインバータg714、g724の配置位置を決定する。

【0043】或いは、配線長の代わりに、論理値が反転されるL712のパラレル配線容量と、そうでないL702とL722のパラレル配線容量の合計が等しくなるようにインバータg712とg722の配置位置を決定し、同様にインバータg714、g724の配置位置を決定する。

【0044】次に、インバータによって論理値を反転しないで転送する信号については、ゲートによる遅延も揃えるために、正極アンプg711とg713はインバータg712とg714のそばに配置し、正極アンプg721とg723はインバータg722とg724のそばに配置する。

【0045】その後、前述のように常にパラレル信号配線順序を守って、図7のようにL701からL704とL711からL714とL721からL724の配線順序を守り、互いに隣接する配線として自動配線する。

【0046】上述した図3におけるCADシステムのように、後から正極アンプ或いはインバータを生成して最適位置を探索するのでは、パラレル信号配線グループの

数が多い場合、また、挿入する中継アンプの数が多い場合、配置する場所が無いことが生じてくる。

【0047】次に、予め正極アンプとインバータを埋め込んでおき、その情報をチップマスタ情報ファイルとして持つCADシステムについて図6を用いて説明する。

【0048】図6に示すCADシステムでは、まず、あらかじめ正極アンプとインバータを埋め込んでおきその情報をチップマスタ情報ファイルf601に格納しておき、その中継アンプの埋め込み情報を入力し、かつ、図3で示したCADシステムと同様に、論理情報ファイルf302Aより始点ゲートと終点ゲートの結線情報及び配置情報を入力し、部品情報ライブラリf301よりインバータ及び正極アンプ及び始点ゲートの正極出力ピンと負極出力ピンの情報を入力する。

【0049】そして、長距離転送配線sig601とsig602を抽出し(p601)、配線順序を決定する(p602)。

【0050】そして、例えば、sig602にはインバータをsig601には正極アンプを挿入することを決定し、ゲートg602の出力ピンの極性を反転する(p603)。

【0051】次に、あらかじめ埋め込んでいるインバータg621からg624までのうち前後の配線長あるいはパラレル配線容量が等しくなる位置としてインバータg622を選択しsig602に挿入する(p604)。

【0052】さらに、選択したインバータg622の最も近くの正極アンプg612をsig601に挿入する。

【0053】その後、L601とL602及びL612とL622が隣接する配線となるように自動配線する(p605)。

【0054】そして、それらの論理変換情報を論理情報ファイルf302Bとして更新し、配線結果を配線情報ファイルf304に出力する。

【0055】以上本発明によれば、半導体集積回路における長距離転送信号線グループの途中にインバータと正極アンプを交互に挿入して適切な位置に配置し、配線順序を守って隣接するように配線することにより、配線チャンネルを余分に使うことなくパラレル配線容量の不確定要素によるばらつきを無くすることができ、パラレル信号配線の信号伝播遅延時間のばらつきを防止することが可能となる。

【0056】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0057】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0058】半導体集積回路におけるパラレル信号配線において、隣接する信号配線の信号電位がどのように変化しても、常に一定のLowまたはHiの固定の信号配線から影響を受けるパラレル配線容量で設計可能になり、パラレル信号配線の信号伝播遅延時間のばらつきを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路における2本のパラレル信号配線を示した図である。

【図2】本発明の一実施例である半導体集積回路における4本のパラレル信号配線を示した図である。

【図3】本実施例の半導体集積回路を設計するCADシステムの動作を説明するための図である。

【図4】CADシステムによって論理変換された論理と中継アンプの自動配置を説明するための図である。

【図5】CADシステムによって論理変換された論理と中継アンプの自動配置を説明するための図である。

【図6】本実施例の半導体集積回路を設計するCADシステムの動作を説明するための図である。

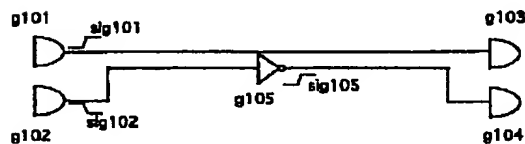
【図7】CADシステムによって論理変換された論理と中継アンプの自動配置を説明するための図である。

【符号の説明】

g101～g104, g201～g204, g211～g214, g401～g403, g501～g504, g511～g514, g701～g704, g731～g734…ゲート、g105, g222, g224, g406, g712, g714, g722, g724…インバータ、g221, g223, g405, g711, g713, g721, g723…正極アンプ、L201～L204, L221～L224, L501～L504, L511～L514, L701～L704, L711～L714, L721～L724…配線、f301…部品情報ライブラリ、f302A, f302B…論理情報ファイル、f303…配線情報ファイル、f601…チップマスタ情報ファイル。

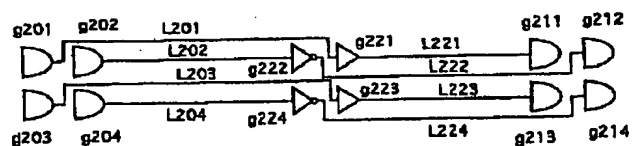
【図1】

図1



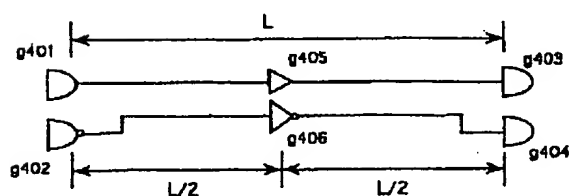
【図2】

図2



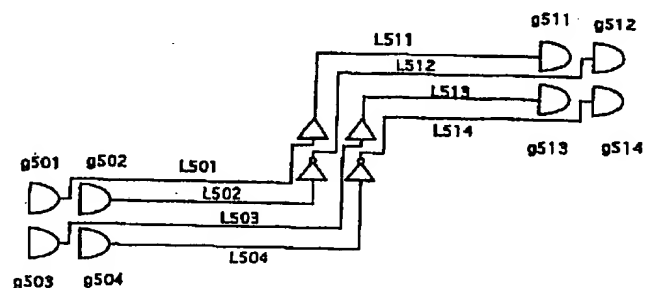
【図4】

図4



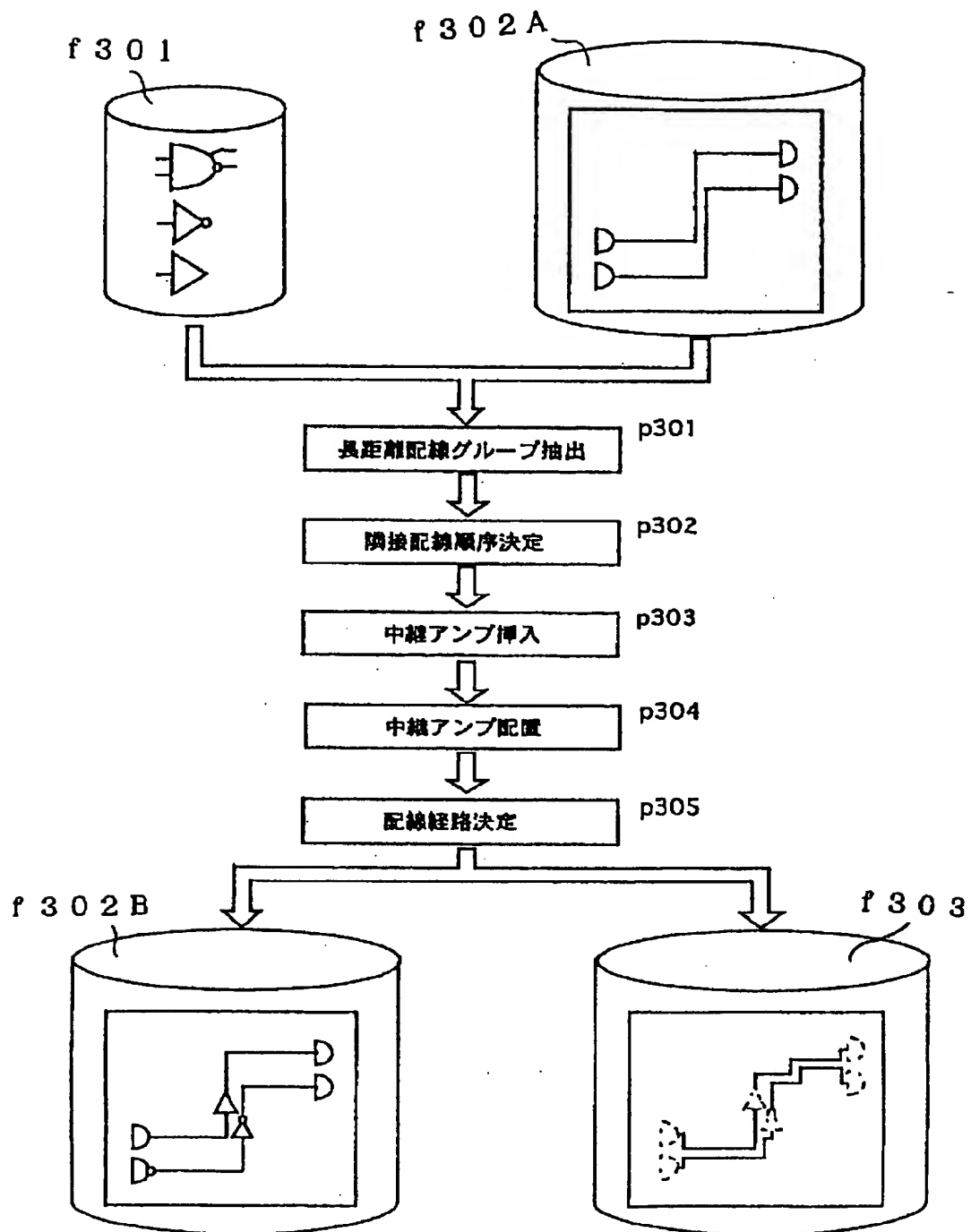
【図5】

図5

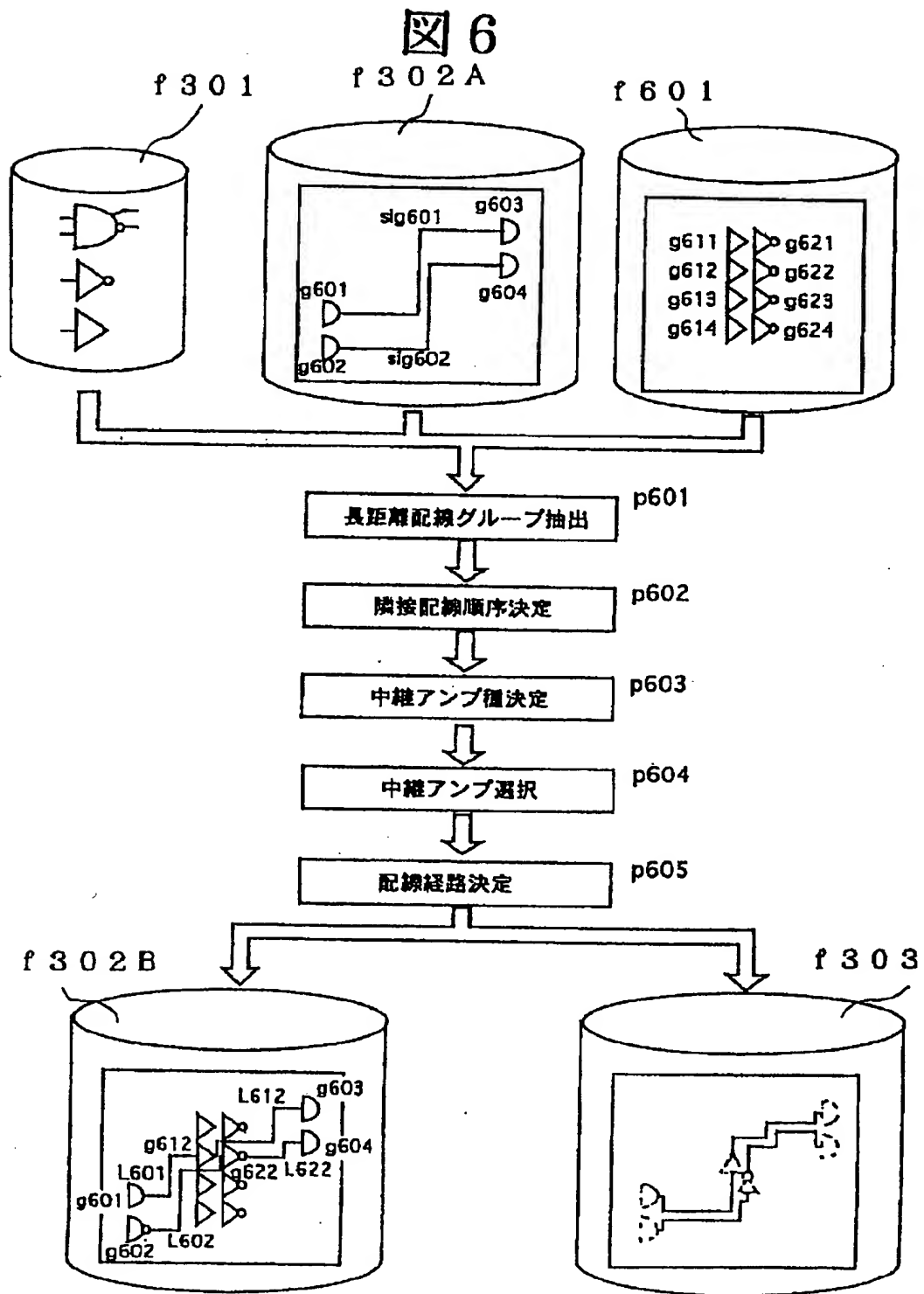


【図3】

図 3

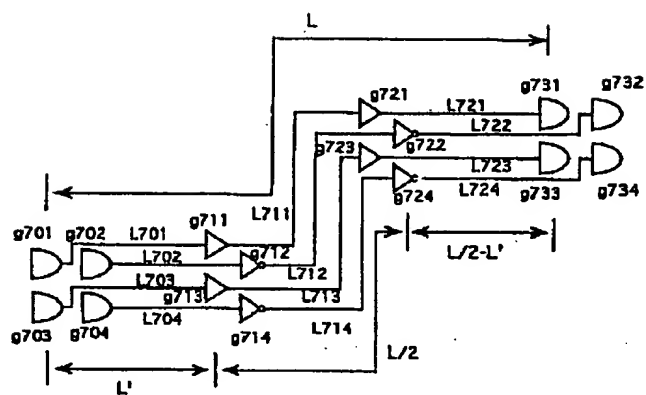


【図 6】



【図7】

図7



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

H